

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平10-92991

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁶

H 0 1 L 23/473

識別記号

F I

H 0 1 L 23/46

Z

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願平8-242780

(22) 出願日 平成 8 年(1996) 9 月13日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 芦田 純生

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72) 発明者 熱田 昌己

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72) 発明者 内古閑 修一

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

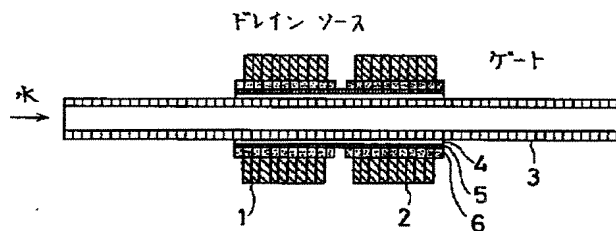
(74) 代理人 弁理士 外川 英明

(54) 【発明の名称】 半導体素子およびその製造方法

(57) 【要約】

【課題】 大電力を扱う半導体素子であって、より大電力・より省スペースの新たな半導体素子の構造を提供する。

【解決手段】 パイプ状部材などを基体として、直接半導体ないし絶縁膜などの半導体素子の基本構成部分を形成し、パイプ部に冷媒を流すことを特徴とする半導体素子。さらにその製造方法として、該基体を材料ガス雰囲気中に置き、加熱あるいは気体放電を発生して該材料を含む層を析出させ、容易に半導体素子を製造する方法。



【特許請求の範囲】

【請求項1】 基体と、この基体上に形成された半導体層と、この半導体層に形成された電極とを有する半導体素子において、前記基体は中空のパイプ構造を有し前記半導体層で発生する熱を取り出すことを特徴とする半導体素子。

【請求項2】 内部が中空の第1の電極と、この第1の電極表面に絶縁膜を介して形成され、内部キャリアが前記第1の電極からの電界によって制御される半導体層と、この半導体層に電気的に接触して形成され電流入力用の第2の電極と、この半導体層に電気的に接触して形成され電流出力用の第3の電極とを具備することを特徴とする半導体素子。

【請求項3】 導電性の中空のパイプ構造を有する電極の回りに半導体層が形成された半導体素子を形成するに際して、前記電極を加熱する（加熱以外の方法もあるのではないであろうか）と共に前記半導体の原料ガス雰囲気中に放置することで前記電極の表面に直接或いは間接的に半導体層を気相成長させる工程を有することを特徴とする半導体素子の製造方法。

【請求項4】 導電性の中空のパイプ構造を有する第1の電極の回りに半導体層が形成された半導体素子を形成するに際して、前記半導体の原料ガス雰囲気中に設置した上で前記第2の電極および/または前記電極近傍に設置された第2の電極に電圧を印加し、前記電極の周囲に放電を誘起することで前記電極の表面に直接或いは間接的に半導体層を気相成長させる工程を有することを特徴とする半導体素子の製造方法。

【請求項5】 前記電極に電圧を印加することで加熱することを特徴とする請求項3に記載の半導体素子の製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、電気機器、電子機器の部品として用いられる半導体素子、特に大電力を扱う半導体素子及びその製造方法に関する。

【0002】

【従来の技術】 半導体素子は発電から末端の機器にいたるまであらゆる分野で活用されていることはいうまでもない。従来の半導体素子は、主にシリコンやゲルマニウムのウェハー上に構造を作り込んだものがつかわれている。シリコン素子を例にとると、数百 μm の厚さのシリコンウェハーに酸化、不純物のイオン打ち込み、エッチング、電極膜の成膜といった工程で形成される。シリコンウェハーがあくまで基板であるため、独立した素子を作製するにはシリコンウェハーから個々の素子を切り出し、金属電極に接着する必要がある。特に大電力を扱うパワー素子の場合は素子内に発生する熱を逃がすために大面積の金属放熱部材に接着し、この放熱部材を電極のひとつに兼用するのが通常である。

【0003】 この様に、従来の半導体素子は放熱用の金属電極に半導体ウェハーを接着する方法で構成されている。従って、素子と金属電極との熱抵抗に限界があり、信頼性を確保するためには接合部の面積を本来必要な面積以上にしなければならない。換言すれば素子を小型化し難くまた小型化しても信頼性が得られにくいという問題があった。また、冷媒を用いて素子の冷却を行うには、素子をさらに放熱部品に接合する必要がある、その接合部にも熱抵抗が発生する問題があった。熱抵抗を下げるにはシリコングリスを塗布したり柔らかい金属の箔をはさみ圧着するなどの方法を取りうるが、それぞれ余計な手間と経費を必要とする。さらには、シリコンないしゲルマニウムなどの半導体材料のウェハーを用いる必要上、素子の基本形状が平面状となり、機器への組み込みを考えた場合かならずしも最適な形状がとれないという問題があった。

【0004】

【発明が解決しようとする課題】 従来のパワー半導体素子の冷却方法は、半導体素子とは別の放熱部品を必要とし素子全体として小型化できない問題があった。また放熱部品への接合も特別の方法を必要とし接合方法も煩雑で余計な手間と経費を必要とする問題もあった。本発明は、上記問題点に鑑みて成されたもので、冷却用の放熱部品を必要とせず、複雑な装着方法も必要としない半導体素子を提供することを目的とする。

【0005】

【課題を解決するための手段】 上記問題を解決するために、請求項1の本発明は、基体と、この基体上に形成された半導体層と、この半導体層に形成された電極とを有する半導体素子において、前記基体は中空のパイプ構造を有し前記半導体層で発生する熱を取り出すことを特徴とする半導体素子を提供するものである。

【0006】 また、請求項2の発明は、内部が中空の第1の電極と、この第1の電極表面に絶縁膜を介して形成され、内部キャリアが前記第1の電極からの電界によって制御される半導体層と、この半導体層に電気的に接触して形成され電流入力用の第2の電極と、この半導体層に電気的に接触して形成され電流出力用の第3の電極とを具備することを特徴とする半導体素子を提供するものである。

【0007】 また、請求項3の発明は、導電性の中空のパイプ構造を有する電極の回りに半導体層が形成された半導体素子を形成するに際して、前記電極を加熱すると共に前記半導体の原料ガス雰囲気中に放置することで前記電極の表面に直接或いは間接的に半導体層を気相成長させる工程を有することを特徴とする半導体素子の製造方法を提供するものである。

【0008】 また、請求項4の発明は、導電性の中空のパイプ構造を有する第1の電極の回りに半導体層が形成された半導体素子を形成するに際して、前記半導体の原

料ガス雰囲気中に設置した上で前記第1の電極および/または前記電極近傍に設置された第2の電極に電圧を印加し、前記電極の周囲に放電を誘起することで前記電極の表面に直接或いは間接的に半導体層を気相成長させる工程を有することを特徴とする半導体素子の製造方法を提供するものである。

【0009】また、請求項5の発明は、請求項3の発明において、前記電極に電圧を印加することで加熱することを特徴とする半導体素子の製造方法を提供するものである。

【0010】

【発明の実施の形態】本発明は上記した課題を解決する手段としてなされたものであり、半導体素子であって、その一部に冷媒を流せる中空構造を有する部材、好ましくはパイプ状部材を従来の板状半導体ウエハに代わる基体として、直接半導体ないし絶縁膜などの半導体素子の基本構成部分を形成したことを特徴とする半導体素子を提供する。またその製造方法として、この基体を材料ガス雰囲気中に置き、加熱あるいは気体放電を発生して該材料を含む層を析出させ、容易に半導体素子を製造する方法を提供することを骨子とする。

【0011】図1は本発明を実施して作製したMOS構造のトランジスタの構造図である。金属パイプの周囲に順次絶縁膜、p型ドープ半導体膜、n+ドープ半導体膜、ドレイン又はソース電極が同心円状に積層されている。ここで基体となるのは金属パイプであるが、AlN、Al₂O₃、Si₃N₄等のセラミックスパイプにAl、Au、Cu、Mo、W等の金属を蒸着形成したようなものであってももちろん良い。そのさいにはセラミックスパイプは、熱伝導性がよいものが望ましい。

【0012】ドレイン・ソース電極は金属、たとえばモリブデンやアルミニウムなどで構成されており、外部回路に引き出すことができる。本素子の動作は通常のMOSトランジスタとなんらかわることがない。すなわち、たとえばソース電極を接地電位とし、ドレインに定電圧を印加してゲート電極の電位を変化させると、ドレイン・ソース間に流れる電流がゲート電圧によって制御することができる。本発明のひとつの特徴は、ゲート電極の内部に冷媒を流せることにある。即ち、たとえば空気、窒素などの気体、あるいは水、油などの液体を流すことで、輻射冷却に比べてはるかに高い冷却効率が得られる。換言すれば、トランジスタがはるかに大きい電流を扱うことができる。さらに、棒状の部材全面にわたり能動素子が形成されるため、省スペース性に優れた半導体デバイスが提供できる。製造時は、中心部のパイプ電極をシランなどの雰囲気中に保持し、加熱することでSiなどを析出させる熱CVDモード、析出Si膜の熱酸化モード、またパイプ電極を減圧雰囲気下に保持しつつRFを印加することで周囲に放電を生じせしめ、放電中で分解した活性ガス種による膜成長を利用するプラズマCVDモ

ドと各種の成膜法が採用できる。それらの方法によって全面に膜を成長させることが容易であることが、もう一つの特徴である。したがって、用いる基体の形状の自由度が大きい。たとえば、円筒状パイプだけでなく、断面が楕円、正方形、長方形、その他の多角形、或いはパイプ自体の太さも冷媒の上流側に比べて下流側を大きくしたものやまたその逆或いは素子の形成される部分のみを細くしたものであっても良い。その他異形のを含めてさまざまな形状が採用できる。

【0013】本発明の効果はMOSトランジスタに限るものではなく、バイポーラトランジスタやサイリスタ、ダイオードなど、およそすべての半導体応用素子に適用可能である。

【0014】

【実施例】

(実施例1) 図を参照しながら本発明の実施例1を詳細に説明する。図1は素子全体の外観を示す図で、図2はその断面図である。図2において、1はドレイン電極、2はソース電極、3は金属パイプであるゲート電極、4はSiO₂の絶縁膜、5はSi膜、6はn+にドープしたSi膜、7はモリブデン膜である。6のSi膜のドーパントはリンとした。すなわち、本素子はnチャネルのMOS-FETとなる。

【0015】以下に本実施例のMOSトランジスタの作製手順を示す。半導体膜の作製はいわゆる常圧CVDによった。まず、ゲート電極となる銅パイプを酸洗いの洗浄・乾燥後、真空容器に設置した。

【0016】ついで、真空容器を十分に排気した後、シランガスとN₂Oガスを導入し、1気圧とした。この状態で上述した銅パイプを900℃に加熱した。すると酸化シリコン膜が銅パイプの表面に徐々に成長した。酸化シリコン膜が400nmになったところでガス流を中止した。

【0017】続いてシランガスとアルシランガスを流し、p型ドープシリコン層を形成した。また、続いてシランとホスフィンガスを流し、n+ドープシリコン膜を形成した。

【0018】最後にトリメチルアルミニウムガス中で加熱し、全面にアルミニウム膜を形成した。つづいてパターニングを行い、ソース・ドレイン電極を残すとともに、金属パイプを露出する等して不要な部分を除去して図1、図2のような素子が完成した。

【0019】パターニングはフォトリソを全面に塗布し、取り除きたい部分のみをマスクして紫外線を照射した後、現像液に漬け、未露光部を取り除いた。さらに適当なエッチングガス、たとえばシリコンの場合はCF₄+O₂ガス雰囲気中に置き、放電を行ってFラジカルを発生させてエッチングを行った。この場合パイプ電極にRF電源を接続し、被加工物自身を放電電極としてプラズマを発生させ、エッチングを行うこともできる。最後に引き出し電極10を接続して完成した。

【0020】この素子は、動作中にパイプ内に冷媒である水を通すことで素子全体を冷却することができ、またゲート電極であるパイプ自体が冷却部品を兼ねるために特別な冷却部品を必要とせず、従来の板状の半導体素子を冷却版に接着したようなパワー半導体と比べて小型化に有利である。

【0021】（実施例2）図4は本発明を実施して作製したゲートターンオフサイリスタアレイである。また、図3は本実施例のゲートターンオフサイリスタの一ユニットを拡大した図である。図3において、21はゲート電極、22はアノード電極、23はカソード電極に相当する。24、25、26、27はそれぞれn型、p型、n型、p型半導体層である。それぞれの半導体層は後述する気相成長法で形成した多結晶シリコンである。アノード、ゲート両電極は大電力を扱うことができるよう、複数個並列に接続されている。

【0022】本実施例のゲートターンオフサイリスタアレイは、いわゆるLPCVD 法により作製した。以下にその手順を示す。まず、カソード電極となるタングステンパイプを酸洗い洗浄・乾燥の後、LPCVD 装置の真空容器内に設置した。この真空容器を十分に排気した後、シランガスとホスフィンガスを導入し、0.5Torr とした。この状態で上述したタングステンパイプを900℃に加熱した。するとn型にドーピングされた多結晶シリコン膜がパイプの回りに徐々に成長した。

【0023】次に、冷却の後取り出して不要な部分をパターニングにより除去した後、再び真空容器に装入し、今度はシランガスとアルシンの混合ガスを導入した後、加熱によりp型のSi膜を成長させた。このような工程を繰り返して図の構造が完成した。ゲート、アノードの取り出し電極には6フッ化タングステン中の加熱によってタングステン膜を析出させ、さらにパターニングを行って電極21、23を形成した。

【0024】本素子の特徴は、通常プレーナ型ゲートターンオフサイリスタと同様に、ゲート電極に印加するバイアスでアノード・カソード間の電流をオン・オフできる。一般的にサイリスタは大電流を制御する目的で使用する。すなわち動作時の発熱が製品の重要な仕様のひとつである。いったんオンした素子をオフする際には、一時的にアノード電極近傍の電流がゲートからはなれた領域に集中する現象（ゲートターンオフ電流の集中）が知られており、これが最大定格をきめる要素であ

るが、本実施例の構造で強制冷却が容易であるため、加熱による動作劣化がなく、すぐれた特性の大電力制御素子が提供できる。さらに該素子の大きさを従来の構造に比べ小さくできる。冷媒は水だけでなく油脂などの液体、あるいは窒素などの気体でもよい。本発明の実施により、容易な工程によって優れた特性のトランジスタ、サイリスタ、ダイオードなどの半導体素子が提供でき、特に大電力を扱う素子の温度上昇を防ぐことに効果がある。言い換えれば従来技術によるものと同じ定格電力の素子であれば、本発明を実施したものはより小型化が可能である。さらに、本発明による半導体素子を応用するとスペース的に効率のよい機器が設計できる。以上の実施例では半導体には、シリコンを使用した。シリコン以外のIV族半導体のゲルマニウム、炭素、或いは化合物半導体、例えばSiGe、GaN、GaAs等でも良い。

【0025】

【発明の効果】以上説明したように、冷却用の放熱部品を必要とせず、複雑な装着方法も必要としない半導体素子を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施例1であるMOS トランジスタの外観図。

【図2】 本発明の実施例1であるMOS トランジスタの断面図。

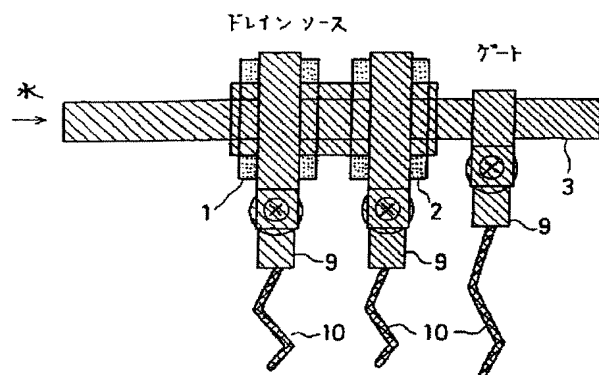
【図3】 本発明の実施例2であるゲートターンオフサイリスタの腰部断面図。

【図4】 本発明の実施例2であるゲートターンオフサイリスタの断面図。

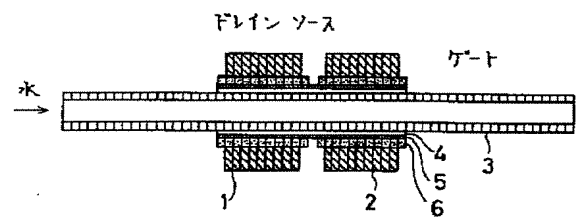
【符号の説明】

- 1 ドレイン電極
- 2 ソース電極
- 3 金属パイプであるゲート電極
- 4 SiO₂絶縁膜
- 5 Si膜
- 6 ドープしたSi膜
- 7 モリブデン膜
- 21 ゲート電極
- 22 アノード電極
- 23 カソード電極
- 24、25、26、27 n型、p型、n型、p型半導体層

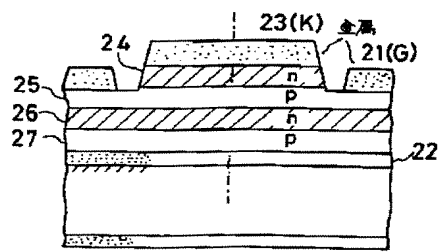
【図1】



【図2】



【図3】



【図4】

